

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100768

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H01L 29/78

H01L 21/28

H01L 21/285

(21)Application number : 2000-291515

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.09.2000

(72)Inventor : KURATA SO

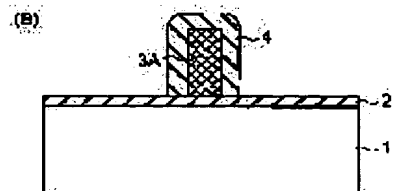
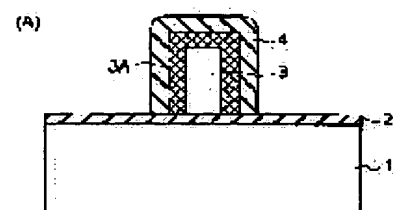
(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate one of short-channel effects by allowing gate's work function to be different, for suppressing roll-off of a threshold without having to adopt difficult means, such as combining different materials for a gate for use, related to a semiconductor device and manufacturing method therefor.

SOLUTION: A gate 3 is realized, where with an SiGe mixed crystal or an SiGeC mixed crystal as a material, the mixed crystal is thermally oxidized to segregate Ge, with a composition at a gate end different from that at a gate central part for a threshold to be kept high.

半導体装置の局部切斷面図



1: シリコン半導体基板
2: ゲート絶縁膜
3: 多結晶 SiGe からなるゲート
3A: Ge 濃度が高くなった領域
3B: SiO₂ からなる領域

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100768

(P 2 0 0 2 - 1 0 0 7 6 8 A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 29/78		H01L 21/28	301 A 4M104
21/28	301	21/285	C 5F040
21/285			301 Z
	301	29/78	301 G

審査請求 未請求 請求項の数 4 O L (全4頁)

(21) 出願番号 特願2000-291515 (P 2000-291515)

(22) 出願日 平成12年9月26日(2000.9.26)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 倉田 創

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100105337

弁理士 眞鍋 潔 (外3名)

Fターム(参考) 4M104 AA01 BB01 BB39 CC05 DD43

DD79 DD88 FF40 GG09 GG10

GG14 HH20

5F040 DA06 EC04 EC05 EC07

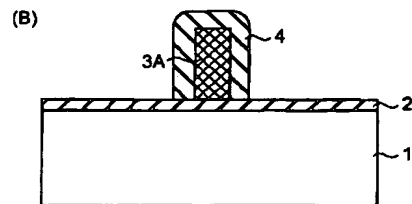
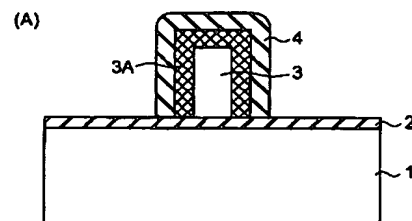
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関し、ゲートに異なる材料を複合して用いるなどの難しい手段を採ることなく、ゲートの仕事関数を異ならせてしきい値のロールオフを抑止し、短チャネル効果の一つを排除しようとする。

【解決手段】 材料がSiGe混晶或いはSiGeC混晶であって、該混晶を熱酸化してGeを偏析させ、組成をゲート端部とゲート中央部とで異ならせることに依って、しきい値を高く維持したゲート3を実現する。

半導体装置の要部切斷側面図



1 : シリコン半導体基板
2 : ゲート絶縁膜
3 : 多結晶SiGeからなるゲート
3A : Ge濃度が高くなった領域
4 : SiO₂からなる酸化膜

【特許請求の範囲】

【請求項 1】材料が SiGe 混晶或いは SiGeC 混晶であって且つ該混晶の組成がゲート端部とゲート中央部とで相違するゲートを備えてなることを特徴とする半導体装置。

【請求項 2】ゲートを構成する混晶の平均組成をゲート長に応じて変化させ仕事関数を変えたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】ゲート端部に於ける仕事関数を小さくすることができる材料で構成されたゲートを備える p チャンネル MOSFET を含んでなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】ゲート絶縁膜上に SiGe 混晶或いは SiGeC 混晶からなるゲートを形成する工程と、次いで、ゲート表面を熱酸化して該混晶中の Ge を酸化膜側に偏析させる工程とが含まれてなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、短チャネル効果を抑制した微細な電界効果トランジスタ (MOSFET: metal semiconductor field effect transistor) を含む半導体装置及びその製造方法に関する。

【0002】

【従来の技術】例えば、ゲート長が 0.1 [μm] レベルである微細な MOSFET に於いては、短チャネル効果に依るしきい値の低下を抑制することが特性ばらつきの解消や性能向上に必要とされている。

【0003】従来、MOSFET に於ける短チャネル効果の抑制は、チャンネルの不純物濃度を高めること、或いは、ソース及びドレインの接合を浅くすること、など基板側の不純物プロファイルを変えることに依って達成されてきた。

【0004】然しながら、チャンネル不純物濃度の増大に起因するキャリア移動度の劣化、或いは、浅接合化に起因する寄生抵抗の増大など、性能向上を妨げる現象が顕在化しつつある。

【0005】これ等の悪影響を回避する為には、ゲートの仕事関数を変化させることに依ってしきい値の制御を行うことが望ましいとされ、例えばゲート端部に仕事関数を異にする材料を用いる発明が知られている（要すれば、「特開平 5-243564 号公報」、を参照）。

【0006】前記公知発明では、シリコン基板にシリコン酸化膜を形成し、ゲート形成予定部分の前記シリコン酸化膜を除去して開口を形成し、その開口内に表出されたシリコン基板表面にゲート酸化膜を形成し、全面にタングステン・シリサイド膜を形成し、そのタングステン・シリサイド膜のエッチバックを行って前記開口の側壁にタングステン・シリサイドのサイド・ウォールを形成

し、全面にリン含有ポリシリコン膜を形成し、そのリン含有ポリシリコン膜をエッチバックして前記開口を埋め込んだもののみ残して他を除去し、当初に形成したシリコン酸化膜を除去することでゲート酸化膜上にタングステン・シリサイドからなるサイド・ウォールをもつポリシリコン・ゲートを実現するとしている。

【0007】このように、公知発明に於けるゲートは中央部がポリシリコン、その端部がタングステン・シリサイドになっていて、それ等の材料は仕事関数を異にしているため、短チャネル化に起因するしきい値の低下（ロールオフ）を抑制することが可能であるが、ゲートが微細化する程、その作製は困難となり、現実的な手段とは言いがたく、また、効果は小さいことが予測される。

【0008】

【発明が解決しようとする課題】本発明は、ゲートに異なる材料を複合して用いるなどの難しい手段を採ることなく、ゲートの仕事関数を異ならせてしきい値のロールオフを抑止し、短チャネル効果の一つを排除しようとする。

【0009】

【課題を解決するための手段】本発明は、MOSFET に於けるゲートの材料として SiGe などの混晶を用い、その組成をゲート長方向（電流が流れる方向）で変化させた構造を実現することが基本になっている。

【0010】例えば、p 型 SiGe は、Ge 濃度が高いほど p 型 Si に比較して仕事関数が小さくなるので、ゲート端部に於いて Ge 濃度が高くなるようにすることができれば、その部分でのポテンシャルは高くなり、しきい値を高めることができる。

【0011】また、ゲートの材料に混晶を用いた場合に特徴的であるのは、ゲートを微細化した場合、ゲートの端部のみでなく、ゲート全域の組成を変化させ得ることであり、定性的に言えば、ゲートが微細化されて端部どうしが極めて接近した状態になれば、その中央部の仕事関数も変化させることができる。

【0012】SiGe を例にすると、そのデポジション直後に比較し、ゲート全体の Ge 濃度を高めることで、しきい値を高くすることができ、しかも、短チャネルになるほど、しきい値は上昇することになるから、ロールオフを抑制する効果は大きくなる。

【0013】前記したところから明らかなように、本発明に依る手段を採った場合、ゲートを構成する SiGe 或いは SiGeC に於いて、少なくともゲートの端面に近い部分では、いわゆる、Ge リッチな状態となって、しきい値は高く維持され、ゲート微細化に伴う短チャネル効果の一因は殆ど解消される。

【0014】

【発明の実施の形態】図 1 は本発明の実施の形態を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、図を参照しつつ説明する。尚、こ

ではp型MOSFETを対象としている。

【0015】図1(A)参照

(A) - (1)

熱酸化法を適用することに依り、シリコン半導体基板1の表面にSiO₂からなるゲート絶縁膜2を形成する。

【0016】(A) - (2)

CVD (chemical vapor deposition) 法を適用することに依り、ゲート絶縁膜2を含む全面に厚さ150 [nm] の多結晶SiGe層を形成する。

【0017】(A) - (3)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをHBr/O₂とするドライ・エッチング法を適用することに依り、多結晶SiGe層のエッチングを行ってゲート3を形成する。

【0018】(A) - (4)

熱酸化法を適用することに依り、温度を800 [℃] としたO₂雰囲気中で多結晶SiGeゲート3を熱酸化する。

【0019】これに依って、多結晶SiGeゲート2の表面には、SiO₂からなる酸化膜4が生成され、そして、酸化膜4と多結晶SiGeゲート3との界面には、Ge濃度が高くなった領域3Aが生成される。尚、この現象が起こる理由は、SiGeを熱酸化した場合、GeがSiGe側に偏析することに依る。

【0020】一般に、SiGeは、Ge濃度が高いほど、エネルギー・バンド・ギャップが小さくなるので、p型のポリSiGeの仕事関数も小さくなり、p型MOSFETでは、しきい値は高くなる。

【0021】前記したところから明らかであるが、多結晶SiGeゲート3を熱酸化する場合、同じ厚さの酸化膜4が生成される熱酸化が行なわれたとしても、多結晶SiGeゲート3のゲート長が短くなるにつれて全体の平均的なGe組成が高くなることは云うまでもない。

【0022】図1(B)参照

(B)に見られる例は、ゲート長を短くしたp型MOSFETであって、その多結晶SiGeゲート3は、Ge濃度が高くなった領域3Aが全域に拡がった状態になっている。

【0023】従って、ゲート長が短くなるにつれてしきい値は高くなり、しきい値のロールオフを抑止することができる。

【0024】ゲートの材料としてSiGeを用いて本発明に依るMOSFETを作製する場合、前記したように、従来の標準的な製造プロセスを適用することで、容易に実現することができる。

【0025】また、SiGeに代えてSiGeCを用いても良く、そのようにした場合、硼素(B)がSiO₂からなるゲート絶縁膜2を貫通してゲート3に侵入するのを阻止することができる。

【0026】本発明に於いては、前記説明した実施の形態を含め、多くの形態で実施することができ、以下、それを付記として例示する。

【0027】(付記1) 材料がSiGe混晶或いはSiGeC混晶であって且つ該混晶の組成がゲート端部(例えばGe濃度が高くなった領域3A)とゲート中央部とで相違するゲート(例えばゲート3)を備えてなることを特徴とする半導体装置。(1)

【0028】(付記2) ゲートを構成する混晶の平均組成をゲート長に応じて変化させ仕事関数を変えたことを特徴とする(付記1)記載の半導体装置。(2)

【0029】(付記3) ゲート端部に於ける仕事関数を小さくすることができる材料(例えばSiGe或いはSiGeCなど)で構成されたゲートを備えるpチャネルMOSFETを含んでなることを特徴とする(付記1)記載の半導体装置。(3)

【0030】(付記4) ゲート絶縁膜(例えばSiO₂からなるゲート絶縁膜2)上にSiGe混晶或いはSiGeC混晶からなるゲート(例えばゲート3)を形成する工程と、次いで、ゲート表面を熱酸化して該混晶中のGeを酸化膜(例えばSiO₂からなる酸化膜4)側に偏析させる工程とが含まれてなることを特徴とする半導体装置の製造方法。(4)

【0031】(付記5) ゲートにp型不純物をドーピングする工程が含まれてなることを特徴とする(付記4)記載の半導体装置の製造方法。

【0032】(付記6) ゲート絶縁膜はバルクシリコン基板(例えばシリコン半導体基板1)或いはSOI基板上に形成されたものであることを特徴とする(付記4)記載の半導体装置の製造方法。

【0033】

【発明の効果】本発明に依る半導体装置及びその製造方法に於いては、材料がSiGe混晶或いはSiGeC混晶であって且つ該混晶の組成がゲート端部とゲート中央部とで相違するゲートを備える。

【0034】本発明に依る手段を採った場合、ゲートを構成するSiGe或いはSiGeCに於いて、少なくともゲートの端面に近い部分では、いわゆる、Geリッチな状態となって、しきい値は高く維持され、ゲート微細化に伴う短チャネル効果の一因は殆ど解消される。

【図面の簡単な説明】

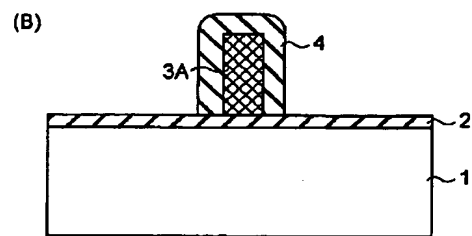
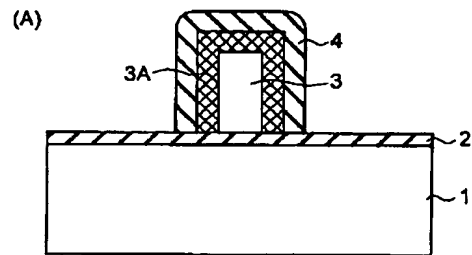
【図1】本発明の実施の形態を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【符号の説明】

- 1 シリコン半導体基板
- 2 ゲート絶縁膜
- 3 多結晶SiGeからなるゲート
- 3A Ge濃度が高くなった領域
- 4 酸化膜

【図 1】

半導体装置の要部切断側面図



- 1 : シリコン半導体基板
- 2 : ゲート絶縁膜
- 3 : 多結晶SiGeからなるゲート
- 3A : Ge濃度が高くなった領域
- 4 : SiO₂からなる酸化膜